

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330852

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H03B 5/12

(21)Application number : 11-062883

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 10.03.1999

(72)Inventor : WANG HONGMO

(30)Priority

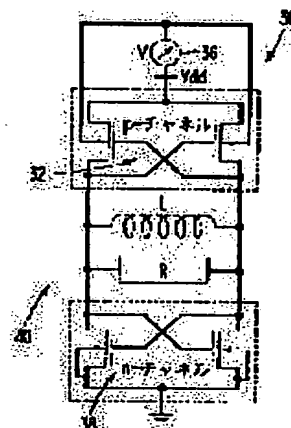
Priority number : 98 37337 Priority date : 10.03.1998 Priority country : US

(54) VOLTAGE-CONTROLLED OSCILLATOR CMOS CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-quality circuit operable at high frequencies by reducing all capacitance values and making large inductance usable for a prescribed LC value.

SOLUTION: A transistor couple 32 is contributed to generate transconductance for canceling or overcompensating peculiar resistance R from an LC tank circuit. An appropriate voltage controlled oscillator(VCO) circuit 40 is provided with two couples of transistors, namely, transistor couple 32 of a (p)-channel device and a transistor couple 38 of an (n)-channel device. The respective couples of transistors are connected at both the terminals of an inductor L, and the transistor couple is operated in a push-pull system. Thus, both the couples are contributed to a transconductance value so that the transconductance value is increased and a low-Q inductor having larger characteristic resistance can be used for operation. Thus, tuning is enabled over wide frequencies, while stable oscillation is provided.



LEGAL STATUS

[Date of request for examination] 28.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3592574

[Date of registration] 03.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

【特許請求の範囲】

【請求項1】 高周波数動作のための電圧制御オシレータCMOS回路であって：固有抵抗値を有するインダクタと；前記インダクタの両端に接続された第1のCMOSトランジスタ対であって、各トランジスタが、ソース端子、ドレイン端子、ゲート端子およびバック・ゲート端子を有し、前記対が、前記第1の対の一方のトランジスタの前記ドレイン端子が前記第1の対の他方のトランジスタの前記ゲート端子に接続され、前記第1の対の前記他方のトランジスタの前記ドレイン端子が前記第1の対の前記一方のトランジスタの前記ゲート端子に接続されるように構成されており、前記トランジスタ対が、前記インダクタの前記固有抵抗値の少なくとも一部を打ち消すための第1の対のトランスコンダクタンス値と、前記ソース端子に共通電圧を印加する一方で前記バック・ゲート端子に可同調電圧を印加することによって調節される調節可能寄生容量値とを有し、前記可同調電圧が前記回路の発振を変動させる、前記第1のCMOSトランジスタ対と；前記インダクタの両端に接続され、前記インダクタを介して電流を発生させるための手段と；を備えることを特徴とする電圧制御オシレータCMOS回路。

【請求項2】 請求項1の回路において、前記電流を発生させるための手段が電流源を備え、前記第1のCMOSトランジスタ対がpチャネル・トランジスタを備えることを特徴とする回路。

【請求項3】 請求項1の回路において、前記電流を発生させるための手段が電流源を備え、前記第1のCMOSトランジスタ対がnチャネル・トランジスタを備えることを特徴とする回路。

【請求項4】 請求項1の回路において、前記電流を発生させるための手段が第2のCMOSトランジスタ対を備えており、前記第2の対の各トランジスタが、ソース端子、ドレイン端子、ゲート端子およびバック・ゲート端子を有し、前記第2の対が、前記第2の対の一方のトランジスタの前記ソース端子が前記第2の対の他方のトランジスタの前記ゲート端子に接続され、前記第2の対の前記他方のトランジスタの前記ソース端子が前記第2の対の前記一方のトランジスタの前記ゲート端子に接続されるように構成されており、前記第2のトランジスタ対が、前記インダクタの固有抵抗値の少なくとも一部を打ち消すための第2の対のトランスコンダクタンス値を有することを特徴とする回路。

【請求項5】 請求項4の回路において、前記第1のCMOSトランジスタ対がpチャネル・トランジスタを備え、前記第2のCMOSトランジスタ対がnチャネル・トランジスタを備えることを特徴とする回路。

【請求項6】 請求項4の回路において、前記第1のCMOSトランジスタ対がnチャネル・トランジスタを備え、前記第2のCMOSトランジスタ対がpチャネル・

トランジスタを備えることを特徴とする回路。

【請求項7】 高周波数動作のための電圧制御オシレータCMOS回路であって：固有抵抗値を有するコンデンサと；固有抵抗値を有するインダクタと；ソース端子、ドレイン端子、ゲート端子およびバック・ゲート端子を有するトランジスタであって、前記ドレイン端子およびソース端子が前記コンデンサの両端に接続されており、前記ゲート端子およびドレイン端子が前記インダクタの両端に接続されており、前記トランジスタが、前記インダクタおよびコンデンサの前記固有抵抗値の少なくとも一部を打ち消すためのトランスコンダクタンス値と、前記バック・ゲート端子に可同調電圧を印加することによって調節される調節可能寄生容量値とを有し、前記可同調電圧が前記回路の発振を変動させる、前記トランジスタと；を備えることを特徴とする電圧制御オシレータCMOS回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOSに構成された電圧制御オシレータ（VCO）に関する。更に特定すれば、本発明は、VCOの同調のためにバック・ゲートCMOS端子を採用するCMOS VCO回路に関する。

【0002】

【従来の技術、及び、発明が解決しようとする課題】オシレータ回路は周知であり、多数の用途において採用されている。VCO回路には主に2つの種類がある。すなわち、抵抗-キャパシタンス（RC）定数を用いる緩衝タイプと、可同調インダクター-コンデンサ（LC）タンク回路を用いる共振タイプである。高周波数の用途では、周波数精度、呈する位相ノイズが小さいこと、安定性、およびおそらく最も重要である高周波数能力のために、共振タンク回路が好ましい。

【0003】共振オシレータ回路は、インダクタンス

（L）およびキャパシタンス（C）の並列構成から形成される。理想的な条件のもとでは、かかる並列L-C構成は、永続的に発振する。しかしながら、とりわけインダクタンスから生じる抵抗損失のために、発振特性はRLC回路に似ており、発振が減衰する結果となる。図1の従来技術の回路に、かかるR-L-C回路を示す。この図で、Rは、インダクタLおよびコンデンサCに起因する回路での抵抗損失を表す。

【0004】減衰効果を解消するためには、例えば図1bの回路に示すように、抵抗損失Rの効果打ち消さなければならない。図1bでは、誘導性損失Rと並列にトランスコンダクタンス要素（-Rと示す）を配置して、抵抗が打ち消されている。図1bに等価な概略図を図1cに示す。図1cにおいて、コンデンサCは、その等価物、すなわち等しい値（2C）を有する1対のコンデンサによって置換されている。可同調性のために、図1d

に見られるように、コンデンサを可変コンデンサで置換する。

【0005】当技術分野において公知のように、VCOの周波数安定性のために、 L および C 値の積は高度に安定した値を維持し、比較的大きい値のインダクタ L を小さい値のコンデンサと組み合わせて用いなければならない。大きい L を用いるのは、安定したオシレータのため、すなわち回路の発振を容易に開始するためである。したがって、好ましくない大きい寄生容量値を有する構成要素を用いる場合、所与の LC 値に対して、容量の増大を補償するには、より低い値のインダクタが必要であることが認められよう。トランスコンダクタンス要素 $-R$ を発生して LC 抵抗損失を補償するための既存の技法は、比較的高い寄生容量を生じる結果となるので、VCO CMOS設計では問題が発生する。例えば、図2aに示すように、CMOS Nチャネル・トランジスタ対を用いて、トランスコンダクタ効果を生成する。図2aの回路等価物を図2bに示す。図2bにおいて、CMOSトランジスタ対は、トランスコンダクタンス要素 $-R$ を十分に与えて、インダクタに固有の抵抗損失を補償する。かかるCMOSトランジスタ対の使用は、望ましくない寄生容量 C' も生じさせる。これは、図1dの回路に組み込まれると、結果として図3の回路となる。この回路では、NチャネルCMOS対およびPチャネルCMOS対をプッシュプル構成で用いて、低い供給電圧に対して大きい電圧スイングを発生する。しかしながら、図3の構成では、不都合なことに、同調範囲が小さくなり、上述のように容量全体が増大し、所与の LC 定数を達成するためには低い値のインダクタの使用が求められる。

【0006】1GHz以上の高周波数のVCOの用途では、寄生容量の問題は著しく重大になる。この場合、統合された大きなインダクタ L が、より大きな R を生じ、したがって、より大きいトランスコンダクタンス要素 $(-R)$ を発生するためには、所与の供給電圧に対して一層大きなトランジスタの使用を必要とする。一方、より大きいトランジスタの使用の結果として、寄生容量が増大する。

【0007】本発明は、電圧制御オシレータCMOS回路に関し、これは、全容量値を低減させて所与の LC 値に対して大きなインダクタンスを使用可能とすることによって、本発明の回路を高品質とし、高周波数で動作可能とする。本発明の回路は、各々がソース端子、ゲート端子、ドレイン端子、およびバック・ゲート端子を有する第1のCMOSトランジスタ対を採用し、バック・ゲート端子に可同調電圧を印加してトランジスタ対の寄生容量を変動させる。トランジスタは、各トランジスタのゲート端子が他方のトランジスタのドレイン端子に接続され、トランジスタのドレイン端子がインダクタンス L の両端で互いに接続されるように構成されている。電流

源または、第1のトランジスタ対と同様の構成を有するが極性が反対である第2のトランジスタ対（例えばnチャネルまたはpチャネル）のような電流発生手段も、インダクタの両端に接続して、回路に適正な動作条件を与える。本発明の回路は、第1のトランジスタ対のバック・ゲート端子を利用して寄生容量を変動させ、これが第1トランジスタ対をバラクタの代替物として使用する結果となり、大きい同調範囲を有すると共に全容量値を低減させるという利点を生む。更に、第1および/または第2のトランジスタ対は、トランスコンダクタンス値に寄与し、この値がタンク回路に固有の抵抗を低減するか、または打ち消し、これによって、発振の長期化を可能とする。

【0008】好適な実施形態では、第1および第2のトランジスタ対双方を採用し、第1のトランジスタ対または第2のトランジスタ対のバック・ゲート端子に可変電圧信号を印加する。この好適な構成では、双方のトランジスタ対がトランスコンダクタンス効果に寄与し、これによって、より大きいタンクの固有抵抗が補償および打ち消される。

【0009】本発明の他の目的および特徴は、添付図面と関連付けて以下の詳細な説明を考慮することから明らかとなろう。しかしながら、図面は、本発明の限定の規定としてではなく、例示の目的のためにのみ意図されるものであり、これに対して添付の特許請求の範囲を参照するものとするとは、理解されよう。

【0010】

【発明の実施の形態】図4aは、本発明にしたがって構成された好適なCMOSトランジスタ回路30を示す。回路30は、各々がソース端子、ドレイン端子、ゲート端子、およびバック・ゲート端子を有する1対のCMOSトランジスタ32を含む。トランジスタは、一方のゲート端子が他方のドレイン端子に接続され、その逆も同様であるように構成されている。ソース端子は定電圧 V_{DD} に維持され、バック・ゲート端子は、36として示される可変電圧源(V)に接続されている。

【0011】当技術分野において公知のように、更に上述した通り、トランジスタ対32の各トランジスタは寄生容量値を有し、トランスコンダクタ要素として機能する。当技術分野において公知のように、CMOSトランジスタの寄生容量は、トランジスタのバック・ゲート端子に印加される電圧の関数として変動する。このため、トランジスタ対32のバック・ゲート端子に可変電圧 V を印加することによって、回路30は、図4bに示すような簡略化された形態で表すことができる。図4bでは、対32の各トランジスタは、バラクタの代替物(C')を組み込み、共有トランスコンダクタンス要素 $(-R)$ に寄与する。

【0012】回路30のこれらの特性を認識して、本発明にしたがって、例えば図5に示すように、1つ以上の

トランジスタ対32をインダクタLの両端に配置したLCタンク回路を形成することができる。トランジスタ対は、タンク回路から固有の抵抗R(図5に想像線で示す)を打ち消すか、または過補償するトランスコンダクタンスの発生に寄与する。更に、電圧Vの調節等でトランジスタ対の寄生容量を変動させることによって、回路40の同調を取ることが可能である。

【0013】更に具体的に、また引き続き図5を参照すると、好適なVCO回路40は、2対のトランジスタ、すなわちpチャネル・デバイスのトランジスタ対32およびnチャネル・デバイスのトランジスタ対38を含む。トランジスタの各対は、インダクタLの端子の両端で接続されている。トランジスタ対は、プッシュプル方式で動作する。トランジスタ対を図5に示すように構成することで、双方の対がトランスコンダクタンス値に寄与し、このためトランスコンダクタンス値が増大し、より大きい固有抵抗を有する低Qインダクタを動作に用いることが可能となる。これによって、本発明の回路は、安定した発振を提供しながら、幅広い周波数範囲にわたって、かつ5GHz以上の高周波数で、同調可能となる。

【0014】図6aおよび6bは、本発明の代替的な実施形態42、44をそれぞれ示す。回路42、44は、図5のVCO回路40と同様に動作する。図6aでは、回路42は、定電流源50と共に、単一のトランジスタ対38を採用している。トランジスタ対38のバック・ゲート端子に、可変電圧源36が接続されている。現時点では、CMOS構成の大部分はpドープ基板を利用しており、このため、電圧36を印加可能であるNチャネル・デバイスのバック・ゲート端子を分離するのが困難になっているが、当業者は、例えば基板とウェル領域との間に分離層を形成することによって、バック・ゲート端子を分離したNチャネル・デバイスを製造可能であることを容易に想起しよう。

【0015】図6bの回路44は、より一般的なpチャネル・トランジスタを採用していること以外は、図6aの回路42と同様である。回路42または44の各々で、電流源50は、図5の第2の対30または38のような、第2のトランジスタ対を置き換えたものとして機能する。しかしながら、回路42および44の各々で単一のみのトランジスタ対を用いる限りは、トランスコンダクタンス値に寄与するトランジスタが少数になることを指摘しておく。結果として、代替的な構成では、打ち消されるインダクタ抵抗が小さくなる。更に、現在の好適な実施形態は、図4aに示すように、少なくとも1対のCMOSトランジスタを含むものとして説明しているが、本発明は、単一のトランジスタを用いる場合にも動作可能である。しかしながら、単一のトランジスタは、トランジスタ対に比べ、発生するトランスコンダクタンスが小さいことは明らかであろう。

【0016】前述の説明から容易に明らかであるように、本発明は、バック・ゲート駆動トランジスタを用いて、トランスコンダクタンスおよび可変容量を同時に発生する。かかる同時機能は、VCO回路における以外に多くの実用的な用途を有する。例えば、図7aに示す従来技術の実用のコルピッツ発振器の代替物として、図7bに示すようなコルピッツ発振器を構成可能である。図7aのコルピッツ発振器は、トランジスタQ、コンデンサC、インダクタL、および可変容量すなわちバラクタC'から成り、図7bの回路として設計可能である。図7bでは、トランジスタQのバック・ゲート端子に印加される可変電圧Vによって、バラクタC'の可変容量機能を実行する。むしろ、トランジスタQは、トランスコンダクタンス値を発生して、インダクタLおよびコンデンサCに固有の抵抗を相殺する。

【0017】このように、本発明の基本的な新規の特徴を、その好適な実施形態に適用して、図示し、説明し、指摘したが、本発明の精神から逸脱することなく、当業者によって、例示したデバイスの形態および詳細および動作において、様々な主略および置換および変更が可能であることは理解されよう。例えば、ほぼ同一の方法でほぼ同一の機能を実行して同一の結果を達成するそれらの要素のあらゆる組み合わせが本発明の範囲内であることは、明示的に意図される。したがって、本発明は、添付された特許請求の範囲によって示されるようにのみ、限定を受けることが意図される。

【図面の簡単な説明】

【図1a】実用のLCタンク回路の概略図である。

【図1b】「負抵抗」(-R)要素を有する実用のタンク回路の概略図である。

【図1c】「負抵抗」(-R)要素を有する実用のタンク回路の概略図である。

【図1d】コンデンサの代わりにバラクタを有する図1cのタンク回路の概略図である。

【図2a】LCタンク回路において負抵抗として用いるトランスコンダクタンス値を生成するためのCMOSトランジスタ対の代替的な概略図である。

【図2b】LCタンク回路において負抵抗として用いるトランスコンダクタンス値を生成するためのCMOSトランジスタ対の代替的な概略図である。

【図3】図2aおよび2bに示すように構成された2つのCMOSトランジスタ対を組み込んだLCタンク回路である。

【図4a】トランジスタ対のバック・ゲート端子に可同調電圧を印加したCMOSトランジスタ対の代替的な概略図である。

【図4b】トランジスタ対のバック・ゲート端子に可同調電圧を印加したCMOSトランジスタ対の代替的な概略図である。

【図5】本発明にしたがって構成された可同調LCタン

ク回路の概略図である。

【図 6 a】本発明の代替的な実施形態にしたがって構成された LC タンク回路の概略図である。

【図 6 b】本発明の代替的な実施形態にしたがって構成

された LC タンク回路の概略図である。

【図 7 a】実用のコルピッツ発振器の概略図である。

【図 7 b】本発明の別の実施形態によるコルピッツ発振器の概略図である。

【図 1 a】

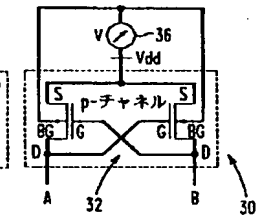
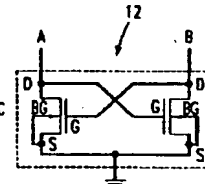
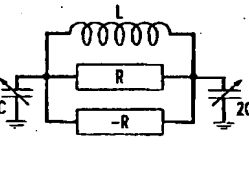
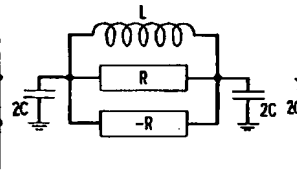
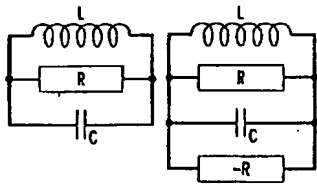
【図 1 b】

【図 1 c】

【図 1 d】

【図 2 a】

【図 4 a】

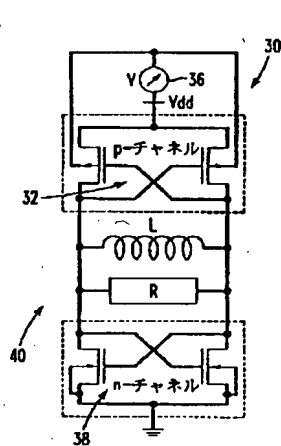
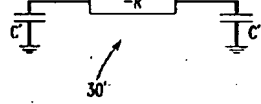
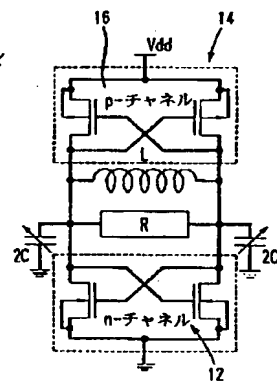
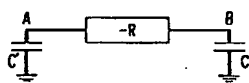


【図 2 b】

【図 3】

【図 4 b】

【図 5】



【図 6 a】

【図 6 b】

【図 7 a】

【図 7 b】

